

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-066884

(43)Date of publication of application : 11.03.1994

(51)Int.Cl.

G01R 31/28

(21)Application number : 04-216939

(71)Applicant : FUJITSU LTD

(22)Date of filing : 14.08.1992

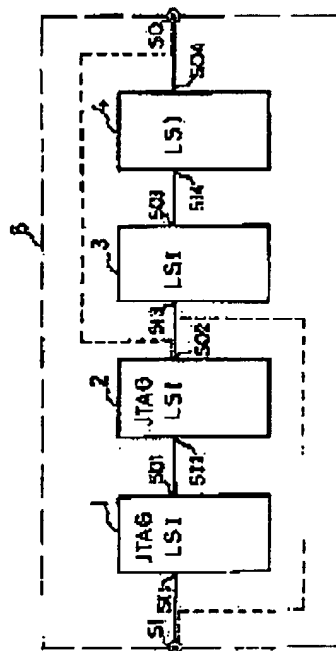
(72)Inventor : HANABUSA AKIHIKO  
TADA TOSHIHIKO

## (54) SCAN SYSTEM CONNECTING METHOD FOR LSI HAVING DIFFERENT SCAN SYSTEM

## (57)Abstract:

**PURPOSE:** To reduce the external terminal number of a printed board for scanning, in a connecting method for scan systems of a LSI having different scan systems, and perform scanning operation with a simple procedure.

**CONSTITUTION:** A printed board 6 has scan-in terminal SI and scan-out terminal SO common to LSI 1, 2, 3, 4 loaded on the printed board. The scan-in pins SI1, SI2, SI3, SI4 and scan-out pins SO1, SO2, SO3, SO4 of the LSI 1, 2, 3, 4 having different scan systems are connected in series or parallel to the common scan-in terminal SI and scan-out terminal SO of the printed board. Since each LSI is connected in series or parallel, the external terminal number of the printed board can be reduced, and the procedure for scanning operation can be uniformly performed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection][Date of requesting appeal against examiner's decision  
of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-66884

(43) 公開日 平成6年(1994)3月11日

(51) Int.Cl.<sup>5</sup>

G 0 1 R 31/28

識別記号

庁内整理番号

F I

技術表示箇所

6912-2G

G 0 1 R 31/28

G

審査請求 未請求 請求項の数1(全14頁)

(21) 出願番号 特願平4-216939  
 (22) 出願日 平成4年(1992)8月14日

(71) 出願人 000005223  
 富士通株式会社  
 神奈川県川崎市中原区上小田中1015番地  
 (72) 発明者 花房 昭彦  
 神奈川県川崎市中原区上小田中1015番地  
 富士通株式会社内  
 (72) 発明者 多田 敏彦  
 神奈川県川崎市中原区上小田中1015番地  
 富士通株式会社内  
 (74) 代理人 弁理士 京谷 四郎

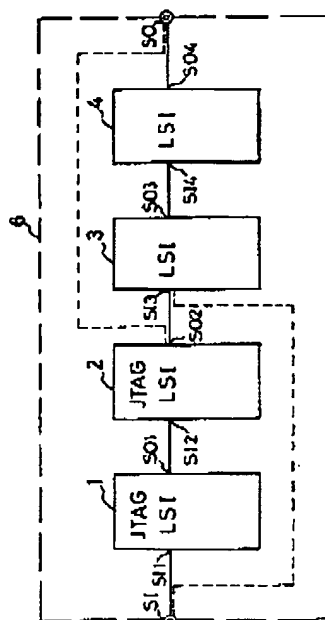
(54) 【発明の名称】 異なるスキャン系を持つLSIのスキャン系接続方式

## (57) 【要約】

【目的】 異なるスキャン系を持つLSIのスキャン系の接続方式において、スキャンのためのプリント板の外部端子数を減少させるとともに、簡単な手順でスキャン動作を行えるようにすること。

【構成】 プリント板6にプリント板上に搭載された各LSI 1, 2, 3, 4に共通のスキャン・イン端子SIとスキャン・アウト端子SOを設ける。また、プリント板の共通のスキャン・イン端子SIとスキャン・アウト端子SOにシリアルもしくはパラレルに、異なるスキャン系を持つLSI 1, 2, 3, 4のスキャン・イン・ピンSI1, SI2, SI3, SI4とスキャン・アウト・ピンSO1, SO2, SO3, SO4を接続する。上記のように、シリアルまたはパラレルに各LSIを接続したので、プリント板の外部端子数を減少させることができ、スキャン動作させるための手順を統一的行うことが可能となる。

本発明の原理説明図



(2)

特開平6-66884

1

## 【特許請求の範囲】

【請求項1】 同一のプリント板(6)上に異なるスキャン系を持つ複数のLSI(1, 2, 3, 4)を搭載したLSIのスキャン系接続方式において、

プリント板(6)にプリント板上に搭載された各LSI(1, 2, 3, 4)に共通のスキャン・イン端子(SI)とスキャン・アウト端子(SO)を設け、

各LSI(1, 2, 3, 4)のスキャン・イン・ピン(SI1, SI2, SI3, SI4)とスキャン・アウト・ピン(SO1, SO2, SO3, SO4)を上記プリント板の共通のスキャン・イン端子(SI)とスキャン・アウト端子(SO)にシリアルもしくはパラレルに接続することにより、

異なるスキャン系を持つLSIのスキャン動作を行わせるようにしたことを特徴とする異なるスキャン系を持つLSIのスキャン系接続方式。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 従来から、LSIの動作テストを行うため、LSI上に設けられたフリップフロップ(以下、FFという)群を直列に接続し、LSIの入力ピンに設けられたスキャン・データ・イン(SI)より、スキャン・データを入力し、A相、B相の2相クロックにより各FF間をシリアルにデータ転送することによりスキャン動作を行うスキャン系が使用されている。

【0002】 一方、上記スキャン系とは別に、最近では、テスト・クロック(TCK)とテスト・モード・セレクト(TMS)の2本の信号線を使用して、スキャン系を動作させるJTAG-Boundary Scan(規格-IEEE P1149.1)を採用するLSIが増えてきている。上記、JTAG-Boundary Scan(以下、JTAGと略記する)は、上記したデータのスキャン系に加え、LSIの入出力に設けられたFF群(Boundary Scan Register-以下、BSレジスタという)を直列に接続したバウンダリ・スキャン系と、テストを行うための命令をセットするFF群(Instruction Register-以下、IRレジスタという)を直列に接続したインストラクション・レジスタ・スキャン系とを備え、テスト・モード・セレクト(TMS)信号によりテスト・モードを選択し、LSIの入力ピンに設けられたテスト・データ・イン(TDI)よりスキャン・データを各スキャン系に入力し、テスト・クロック(TCK)により各FF間をシリアルにデータ転送することによりスキャン動作を行うものである。

【0003】 このため、最近では、上記、A/Bの2相クロックによりスキャン動作を行うLSI(以下、AB系/LSIという)とJTAGのスキャン系を持つLSI(以下、JTAG/LSIという)が同一プリント板上に搭載される場合がでてきている。本発明は、上記のようなプリント板上に設けられた異なるスキャン系を持つLSIのスキャン系接続方式に関し、特に本発明は同

2

一プリント板上に設けられた異なるスキャン系を持つLSIのスキャンの手順を統一的に行うことができるとともに、プリント板のスキャンのための外部端子数を減少することができる異なるスキャン系を持つLSIのスキャン系接続方式に関するものである。

## 【0004】

【従来の技術】 図9は異なるスキャン系を持つLSIのスキャン系接続方式の従来例を示す図であり、同図は、上記のように異なるスキャン系を持つLSIを同一のプリント板上に搭載した場合を示している。同図において、11、12は前記したJTAG/LSI、また、21、22はAB系/LSIであり、JTAG/LSI 11、12およびAB系/LSI 21、22は同一のプリント板上に搭載されている。

【0005】 13はプリント板に設けられたテスト・データ・イン(以下TDIという)端子、14はプリント板に設けられたテスト・モード・セレクト(以下TMSという)端子、15はプリント板に設けられたテスト・クロック(以下TCKという)端子、16はプリント板に設けられたテスト・データ・アウト(以下、TDOという)端子、23はプリント板に設けられたスキャン・データ・イン(以下、SIという)端子、24はプリント板に設けられたA/Bの2相クロック(以下、A/B-CKという)端子、25はプリント板に設けられたスキャン・データ・アウト(以下、SOという)端子である。

【0006】 11a、12a、11b、12b、11c、12c、11g、12gは、それぞれJTAG/LSI 11、12のTDI、TMS、TCKピンおよびTDOピンであり、21a、22a、21b、22b、21c、22cはそれぞれA/B系LSI 21、22のSI、AB-CKピンおよびSOピンであり、これらのピンはプリント板の対応する端子もしくは前段のLSIの対応する信号の出力ピンに接続されている。

【0007】 11d、12dはそれぞれJTAG/LSI 11、12のインストラクション・レジスタ・チェーン(以下IRチェーンという)、11e、12eはJTAG/LSI 11、12のバウンダリ・スキャン・チェーン(以下BSチェーンという)、11c、12cはJTAG/LSI 11、12のデータ・チェーン(以下DTチェーンという)を示し、これらのチェーンの内どのチェーンのスキャン動作を行うかは、TMSピン11b、12bより入力されるセレクト信号に設定される。

【0008】 また、21d、22dはそれぞれAB系/LSI 21、22のデータ・チェーン(以下、DTチェーンという)を示す。同図において、JTAG/LSI 11、12のスキャン系を動作させる場合には、TMS端子14よりTMS信号を入力する。プリント板のTMS端子14より与えられるTMS信号はJTAG/LSI 11、12のTMSピン11b、12bに与えられ、

(3)

特開平6-66884

3

4

各LSIのテスト・モードが設定される。

【0009】 1つで、TDI端子13よりテスト・データを入力するとともに、TCK端子15よりテスト・クロックを入力すると、JTAG/LSI11, 12のTCKピン11c, 12cよりテスト・クロックが各LSI11, 12に与えられる。また、TDI端子13より入力されるテスト・データがJTAG/LSI11のTDIピン11aに与えられ、TMS信号の設定に応じてJTAG/LSI11のIRチェーン、BSチェーンもしくはDTチェーンのスキャン動作が行われる。

【0010】 JTAG/LSI11のTDIピンに入力されたテスト・データはLSI11のチェーンを介してそのTDOピンに出力され、次段のJTAG/LSI12のTDIピン12aに入力される。JTAG/LSI12は入力されるTDI信号により上記と同様にスキャン動作を行い、TDO信号をTDOピン12gに出力する。このTDO信号はプリント板のTDO端子16より外部に出力される。

【0011】 一方、A/B系LSI21, 22のスキャン系を動作させる場合には、SI端子23よりスキャン・データを入力するとともに、A/B-CK端子24よりA/Bの2相クロックを入力する。A/B系LSI21は、スキャン・データがSIピン21aに与えられると、A/B-CKピン21bより与えられるA/Bの2相クロックに基づきDTチェーンのスキャン動作を行う。

【0012】 A/B系LSI21のSIピン21aに入力されたスキャン・データはLSI21のDTチェーンを介してそのSOピン21cに出力され、次段のA/B系LSI22のSIピン22aに入力される。A/B系LSI22は入力されるSI信号により上記と同様にDTチェーンのスキャン動作を行い、SO信号をSOピン22cに出力する。このSO信号はプリント板のSO端子25より外部に出力される。

【0013】

【発明が解決しようとする課題】 以上のように、従来においては、同一のプリント板上に異なるスキャン系のLSIが存在する場合、それぞれ独立してスキャン系を設けていた。このため、従来においては、スキャンのためのプリント板の外部入力端子が増加するとともに、スキャン動作させるための手順もそれぞれ別々に行う必要があり、手順が複雑になると同時にスキャン動作のための時間がかかるという欠点があった。

【0014】 本発明は上記した従来技術の欠点を改善するためになされたものであって、スキャンのためのプリント板の外部端子数を減少させることができるとともに、スキャン動作させるための手順を統一的に行え、簡単な手順でスキャン動作を行うことが可能な、異なるスキャン系を持つLSIのスキャン系接続方式を提供することを目的とする。

【0015】

【課題を解決するための手段】 図1は本発明の原理説明図である。本発明は上記課題を解決するため、図1に示すように、同一のプリント板6上に異なるスキャン系を持つ複数のLSI1, 2, 3, 4を搭載したLSIのスキャン系接続方式において、プリント板6にプリント板上に搭載された各LSI1, 2, 3, 4に共通のスキャン・イン端子SIとスキャン・アウト端子SOを設け、各LSI1, 2, 3, 4のスキャン・イン・ピンSI1, SI2, SI3, SI4とスキャン・アウト・ピンSO1, SO2, SO3, SO4を上記プリント板の共通のスキャン・イン端子SIとスキャン・アウト端子SOにシリアルもしくはパラレルに接続することにより、異なるスキャン系を持つLSIのスキャン動作を行わせるようにしたものである。

【0016】

【作用】 本発明においては、プリント板6にプリント板上に搭載された各LSI1, 2, 3, 4に共通のスキャン・イン端子SIとスキャン・アウト端子SOを設け、各LSI1, 2, 3, 4のスキャン・イン・ピンSI1, SI2, SI3, SI4とスキャン・アウト・ピンSO1, SO2, SO3, SO4を上記プリント板の共通のスキャン・イン端子SIとスキャン・アウト端子SOにシリアルもしくはパラレルに接続したので、プリント板の外部端子数を減少させることができるとともに、スキャン動作させるための手順を統一的に行え、簡単な手順でスキャン動作を行うことが可能となる。

【0017】

【実施例】 図2は本発明の第1の実施例を示す図であり、本実施例は、JTAGスキャン形式のLSIを新たに製作する場合、そのLSIにTCKに同期したA, B 2相のクロックA/B-CKを供給することができるA/B-CK発生手段を設け、そのLSIからA/B系/LSIにA/B-CKを供給する場合の実施例を示している。

【0018】 図2(a)は本実施例の構成を示す図であり、同図において、図9の従来例に示したものと同一のものには同一の符号が付されており、本実施例は、図9に示したJTAG/LSI11を上記のようにA/B-CKを供給することができるJTAG/LSI11'に置換し、そのAB-CKピン11'hよりAB系/LSI21, 22にAB-CKを供給する実施例を示している。なお、同図において、JTAG/LSI11'の入出力ピンおよびその各チェーンには「'」を付して示している。

【0019】 図2(a)の本実施例において、JTAG/LSI11', 12およびAB系/LSI21, 22のスキャン系を動作させる場合には、従来例と同様、TMS端子14よりTMS信号を入力し、JTAG/LSI11', 12のテスト・モードを設定する。ついで、

(4)

特開平6-66884

5

SI端子13よりスキャン・データを入力するとともに、TCK端子15よりTCKを入力する。これにより、JTAG/LSI11'、12にテスト・クロックが与えられるとともに、SI端子13より入力されるスキャン・データがJTAG/LSI11'のSIピン11'aに与えられ、TMS信号の設定に応じてJTAG/LSI11'のIRチェーン、BSチェーンもしくはDTチェーンのスキャン動作が行われる。また、JTAG/LSI11'はTCKに同期したA、B2相のクロックA/B-CKを生成してAB-CKピン11'hより出力する。

【0020】JTAG/LSI11'のSIピン11'aに入力されたスキャン・データはLSI11'のチェーンを介してそのTDOピン11'gに出力され、次段のJTAG/LSI12のTDIピン12aに入力される。JTAG/LSI12は入力されるTDI信号により上記と同様にスキャン動作を行い、TDO信号をTDOピン12gに出力する。

【0021】JTAG/LSI12が出力するTDO信号は、次段に設けられたA/B系LSI21に与えられる。A/B系LSI21のA/B-CKピン21bには、JTAG/LSI11'が出力するAB-CKが与えられており、そのSIピン21aよりJTAG/LSI12が出力するスキャン・データが入力されると、DTチェーンのスキャン動作が行われる。

【0022】A/B系LSI21のSIピン21aに入力されたスキャン・データはLSI21のDTチェーンを介してそのSOピン21cに出力され、次段のA/B系LSI22のSIピン22aに入力される。A/B系LSI22は入力されるSI信号により上記と同様にスキャン動作を行い、SO信号をSOピン22cに出力する。このSO信号はプリント板のSO端子25より外部に出力される。

【0023】図2(b)は図2(a)に示す実施例における各スキャン系動作時のチェーン長を示す図であり、同図において、JTAGはJTAG/LSI11'、12を示し、AX、AYはそれぞれAB系/LSI21、22を示している。また、IR、BS、DTはそれぞれ、IRチェーン、BSチェーン、DTチェーンを示しており、添字「J1」、「J2」等が付されたIR、BS、DTは各チェーン長を示し、IR、BS、DTに付された添字「J1」、「J2」、「AX」、「AY」はそれぞれ、JTAG/LSI11'、12、AB系/LSI21、22の各チェーンを示している。さらに、同図の丸印はそのチェーンのFFがシフトされる場合を示し、×印はシフトされない場合を表している。

【0024】図2(b)に示すように、図2(a)においてJTAG/LSI11'、12のIRチェーンのチェーン動作を行う場合、そのチェーン長は同図に示すように、「IR<sub>J1</sub>+IR<sub>J2</sub>+DT<sub>AX</sub>+DT<sub>AY</sub>」となり、ま

6

た、JTAG/LSI11'、12のBSチェーンのチェーン動作を行う場合、そのチェーン長は同図に示すように、「BS<sub>J1</sub>+BS<sub>J2</sub>+DT<sub>AX</sub>+DT<sub>AY</sub>」となり、同様に、JTAG/LSI11'、12のDTチェーンのチェーン動作を行う場合、そのチェーン長は同図に示すように、「DT<sub>J1</sub>+DT<sub>J2</sub>+DT<sub>AX</sub>+DT<sub>AY</sub>」となる。

【0025】また、本実施例のチェーン数は図2(b)から明らかなように、「IR11'd→IR12d→DT21d→DT22d」、「BS11'e→BS12e→DT21d→DT22d」、「DT11'f→DT12f→DT21d→DT22d」の「3」となり、JTAG/LSIの最大チェーン数と等しくなる。さらに、本実施例においては、AB系/LSI21、22のDTチェーンは複数チェーンに共用され、JTAG/LSIのIRチェーン、BSチェーンをスキャンするときは、AB系/LSI21、22のDTチェーン長を考慮する必要がある。

【0026】図3は本発明の第2の実施例を示す図であり、本実施例は、第1の実施例と同様、JTAG/LSIからAB系/LSIにA/B-CKを供給する場合の実施例を示している。図3(a)は本実施例の構成を示す図であり、同図において、図2の第1の実施例に示したものと同一のものには同一の符号が付されており、本実施例は、第1の実施例にインヒビット回路30、マルチ・プレクサ31を追加するとともに、JTAG/LSI11'にバイパス信号を発生するBYPSPIN11'iを付加し、JTAG/LSI11'、12のIRチェーン、BSチェーンのスキャン動作を行う場合、バイパス・フラグが設定されて、BYPSPIN11'iよりバイパス信号が出力され、AB系/LSIをバイパスするように構成したものであり、その他の動作は図2に示した第1の実施例と同様である。

【0027】図3(a)において、JTAG/LSI11'、12のIRチェーン、BSチェーンをスキャンする場合には、JTAG/LSI11'のバイパス・フラグがセットされ、BYPSPIN11'iよりバイパス信号が出力される。この信号により、インヒビット回路30が閉じ、AB系/LSIへのAB-CKの供給が止められる。また、マルチ・プレクサ31はJTAG/LSI12のTDO信号を選択してプリント板のSO端子25に出力する。

【0028】したがって、JTAG/LSI12のTDO信号はAB系/LSI21、22をバイパスして端子SO25より出力される。また、JTAG/LSI11'、12のDTチェーンをスキャンする場合には、バイパス・フラグがオフとなり、インヒビット回路30が開き、AB系/LSIへAB-CKが供給され、また、マルチ・プレクサ31はAB系/LSI22のSO信号を選択してプリント板のSO端子25に出力する。

【0029】したがって、JTAG/LSI12のTD

(5)

特開平6-66884

7

O信号はAB系/LSI21, 22を介してSO端子25より出力される。図3(b)は図3(a)に示す実施例における各スキャン系動作時のチェーン長を示す図であり、同図に示される「BYPASS」は上記したバイパス・フラグのセット状態を示し、その他の各記号は図2(b)において説明したものと同様である。

【0030】本実施例のチェーン数は第1の実施例と同様、JTAG/LSIの最大チェーン数と等しくなり、また、AB系/LSI21, 22のDTチェーンは複数チェーンに共用されず、JTAG/LSIのIRチェーン、BSチェーンをスキャンするときに、AB系/LSI21, 22のDTチェーン長を考慮する必要がない。

【0031】なお、本実施例においては、バイパス信号をJTAG/LSIのBYPASSピン11'より供給しているが、バイパス信号をプリント板外部端子から供給することもできる。図4は本発明の第3の実施例を示す図であり、本実施例は、第1、第2の実施例と同様、JTAG/LSIからAB系/LSIにA/B-CKを供給する場合の実施例を示している。

【0032】図4(a)は本実施例の構成を示す図であり、同図において、図3の第2の実施例に示したものと同一のものには同一の符号が付されており、本実施例は、JTAG/LSI11'、12のIRチェーン、BSチェーン、DTチェーンのスキャン動作を行う場合、バイパス・フラグが設定され、AB系/LSIのチェーンをスキップするようにし、また、バイパス・フラグが設定されていないときは、AB系/LSIのチェーンが独立にスキャン動作するように構成したものであり、その他の動作は図3に示した第2の実施例と同様である。

【0033】図4(a)において、JTAG/LSI11'、12のIRチェーン、BSチェーン、DTチェーンをスキャンする場合には、JTAG/LSI11'のバイパス・フラグがセットされ、BYPASSピン11'よりバイパス信号が出力される。この信号により、インヒビット回路30が閉じ、AB系/LSIへのAB-CKの供給が止められる。また、マルチ・プレクサ31はJTAG/LSI12のTDO信号を選択してプリント板のSO端子25に出力する。

【0034】したがって、JTAG/LSI12のTDO信号はAB系/LSI21, 22をスキップしてSO端子25より出力される。また、バイパス・フラグが設定されていない場合には、インヒビット回路30が開き、AB系/LSIへAB-CKが供給され、また、マルチ・プレクサ31はAB系/LSI22のSO信号を選択してプリント板のSO端子25に出力する。

【0035】したがって、プリント板のSI端子13に入力されるスキャン・データは直接AB系/LSI21のSIピン21aに与えられ、LSI21, 22を介してSO端子25より出力される。図4(b)は図4(a)に示す実施例における各スキャン系動作時のチェ

8

ーン長を示す図であり、同図に示される各記号は図3(b)のものと同様である。

【0036】本実施例のチェーン数は、JTAG/LSIの最大チェーン数+1(AB系/LSI21, 22のDTチェーン)となり、また、AB系/LSI21, 22のDTチェーンは複数チェーンに共用されず、JTAG/LSIのIRチェーン、BSチェーンをスキャンするときに、AB系/LSI21, 22のDTチェーン長を考慮する必要がない。本実施例の方式は最も単純でわかり易い。

【0037】なお、本実施例においては、バイパス信号をJTAG/LSIのBYPASSピン11'より供給しているが、バイパス信号をプリント板外部端子から供給することもできる。図5は本発明の第4の実施例を示す図であり、本実施例は、第1、第2、第3の実施例と同様、JTAG/LSIからAB系/LSIにA/B-CKを供給する場合の実施例を示している。

【0038】図5(a)は本実施例の構成を示す図であり、同図において、図2の第1の実施例に示したものと同一のものには同一の符号が付されており、本実施例は、第1の実施例のJTAG/LSI11'にSIXピン11'jおよびSOXピン11'kを設け、SIXピン11'jに入力されるスキャン・データをTDOピン11'gより出力できるようにするとともに、TDIピン11'aより入力される信号をSOXピン11'kより出力できるようにし、AB系/LSI21, 22のチェーンが、A/B-CKを供給しているJTAG/LSI11'の一部と見えるように構成したものであり、その他の動作は図2に示した第1の実施例と同様である。

【0039】図5(a)において、JTAG/LSI11'、12のIRチェーン、BSチェーン、DTチェーンをスキャンする場合には、JTAG/LSI11'からAB系/LSIへのAB-CKの供給を止め、JTAG/LSI11'のTDIピン11'aよりスキャン・データを入力する。JTAG/LSI11'のTDIピン11'aより入力されるスキャン・データはJTAG/LSI11'のIRチェーン、BSチェーンもしくはDTチェーンを介してJTAG/LSI11'のTDOピン11'gに出力される。

【0040】TDOピン11'gに出力されるスキャン・データは次段のJTAG/LSI12のTDIピン12aに入力され、上記と同様にJTAG/LSI12を介してJTAG/LSI12のTDOピン12gより出力され、プリント板のSO端子25より出力される。また、AB系/LSI21, 22のDTチェーンをスキャンする場合には、JTAG/LSI11'からAB系/LSIへAB-CKを供給するとともに、JTAG/LSI11'のIRチェーン、BSチェーンおよびDTチェーンを停止させる。さらに、JTAG/LSI12をバイパス・モードにセットして、JTAG/LSI12

(6)

特開平6-66884

9

のTDIピン12aに入力されるスキャン・データをその出力ピンTDO12gにバイパスさせる。

【0041】次に、JTAG/LSI11'のTDIピン11'aよりスキャン・データを入力すると、このスキャン・データはJTAG/LSI11'を介してSOXピン11'kより出力され、AB系/LSI21のSIピン21aに入力される。AB系/LSI21のSIピン21aに入力されたスキャン・データはAB系/LSI21, 22のDTチェーンを介してAB系/LSI22のSOピン22eよりJTAG/LSI11'のSIXピン11'jに入力され、JTAG/LSI12のTDIピン12aに与えられる。このスキャン・データはJTAG/LSI12をバイパスしてそのTDOピン12gに出力され、プリント板のSO端子25より外部に出力される。

【0042】本実施例の方法をとることにより、全体のスキャン系をJTAG/LSIのみのスキャン系として統一的に処理することが可能となる。図5(b)は図5(a)に示す実施例における各スキャン系動作時のチェーン長を示す図であり、同図に示される各記号は図2(b)のものと同様である。本実施例のチェーン数は、JTAG/LSIの最大チェーン数+1(AB系/LSI21, 22のDTチェーン)となり、また、AB系/LSI21, 22のDTチェーンは複数チェーンに共用されず、JTAG/LSIのIRチェーン、BSチェーンをスキャンするときに、AB系/LSI21, 22のDTチェーン長を考慮する必要がない。

【0043】図6は本発明の第5の実施例を示す図であり、本実施例は図2の実施例において、A、B相クロックA/B-CKを生成する回路を持たない市販のJTAG/LSIを用いた実施例を示している。本実施例においては、図2からJTAG/LSI11'を除去し、TCKと共通なA相クロックをプリント板外部で生成して、TCK/ACK端子61を介して供給するとともに、B相クロックをプリント板の外部からBCK端子62を介して供給するように構成したものであり、その動作は図2に示したものと同様である。

【0044】図7は本発明の第6の実施例を示す図であり、図3の実施例においてJTAG/LSI11'を除去し、A、B相クロックA/B-CKを生成する回路を持たない市販のJTAG/LSIを用いた実施例であり、本実施例においては、A相クロックをTCKと共通として、プリント板の外部からTCK/ACK端子61を介して供給するとともに、B相クロックをプリント板の外部からBCK端子62を介して供給し、また、バイパス信号をプリント板の外部からBYPASS端子63より供給するように構成したものであり、その動作は図3に示したものと同様である。

【0045】図8は本発明の第7の実施例を示す図であり、図4の実施例においてJTAG/LSI11'を除

10

去し、A、B相クロックA/B-CKを生成する回路を持たない市販のJTAG/LSIを用いた実施例であり、本実施例においては、A相クロックをTCKと共通として、プリント板の外部からTCK/ACK端子61を介して供給するとともに、B相クロックをプリント板の外部からBCK端子62を介して供給し、また、バイパス信号をプリント板の外部からBYPASS端子63より供給するように構成したものであり、その動作は図4に示したものと同様である。

【0046】なお、図6ないし図8においては、A相、B相の2相クロックA/B-CKをプリント板の外部から供給する実施例を示したが、プリント板上にA相、B相の2相クロックを生成する回路を設けることにより、図2ないし図4の実施例と同様、外部からA相、B相の2相クロックを供給せずにスキャン動作を行わせることもできる。また、同様にして、図7、図8の実施例において、バイパス信号をプリント板上で生成することもできる。

【0047】

【発明の効果】以上説明したことから明かなように、本発明においては、プリント板にプリント板上に搭載された各LSIに共通のスキャン・イン端子とスキャン・アウト端子を設け、各LSIのスキャン・イン・ピンとスキャン・アウト・ピンを上記プリント板の共通のスキャン・イン端子とスキャン・アウト端子にシリアルもしくはパラレルに接続したので、異なるスキャン系を持つLSIのスキャン動作を行うに際して、プリント板の外部端子数を減少させることができる。

【0048】また、スキャン動作させるための手順を統一に行え、簡単な手順でスキャン動作を行うことが可能となり、スキャン動作のための時間を少なくすることができる。

【図面の簡単な説明】

【図1】本発明の原理説明図である。

【図2】本発明の第1の実施例を示す図である。

【図3】本発明の第2の実施例を示す図である。

【図4】本発明の第3の実施例を示す図である。

【図5】本発明の第4の実施例を示す図である。

【図6】本発明の第5の実施例を示す図である。

【図7】本発明の第6の実施例を示す図である。

【図8】本発明の第7の実施例を示す図である。

【図9】従来例を示す図である。

【符号の説明】

1, 2, 3, 4, 11, 12, 21, 22	LSI
6	プリント
	板
11'a, 12a	TDIピ
	ン
11'b, 12b	TMSピ
	ン

11  
11' c, 12 c  
ン  
11' g, 12 g  
ン  
11' h  
Kピン  
11' d, 12 d  
ン  
11' e, 12 e  
ン  
11' f, 12 f, 21 d, 22 d  
ン  
13

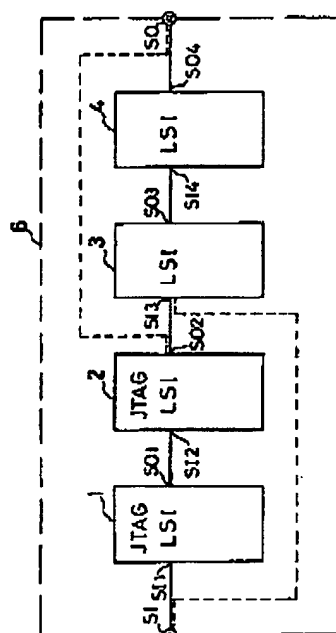
(7)  
TCKピ 14  
子  
TDOピ 15  
子  
AB-C 21 a, 22 a  
21 b, 22 b  
IRチェ Kピン  
21 c, 22 c  
BSチェ 25  
10 30  
DTチェ ト回路  
31  
マルチ・プレクサ  
SI端子

特開平6-66884

12  
TMS端  
TCK端  
SIピン  
AB-C  
SOピン  
SO端子  
インピッ

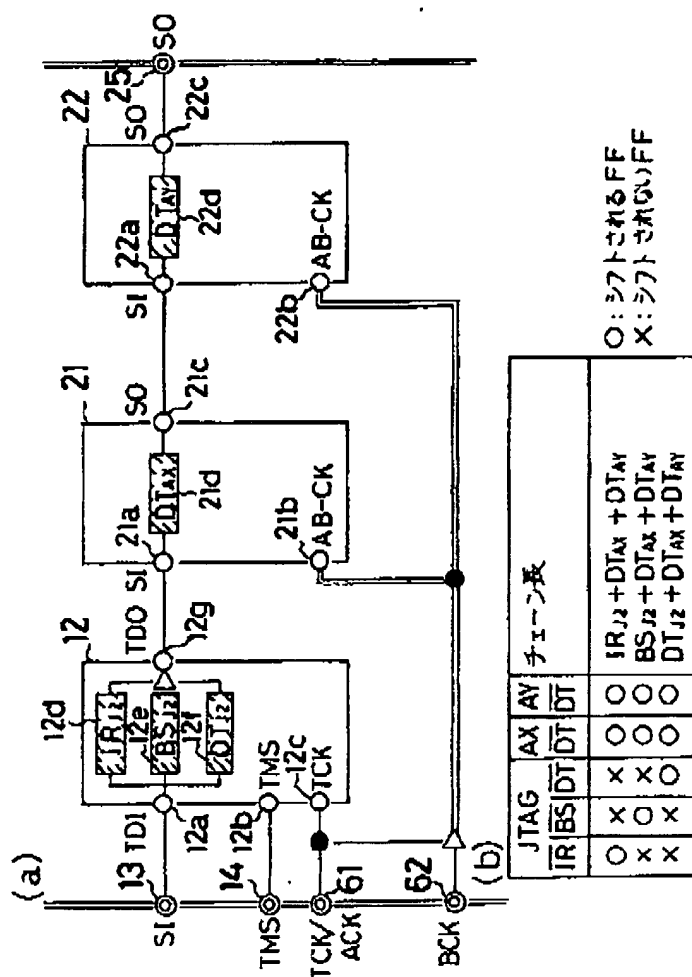
【図1】

本発明の原理説明図



【図6】

本発明の第5の実施例を示す図



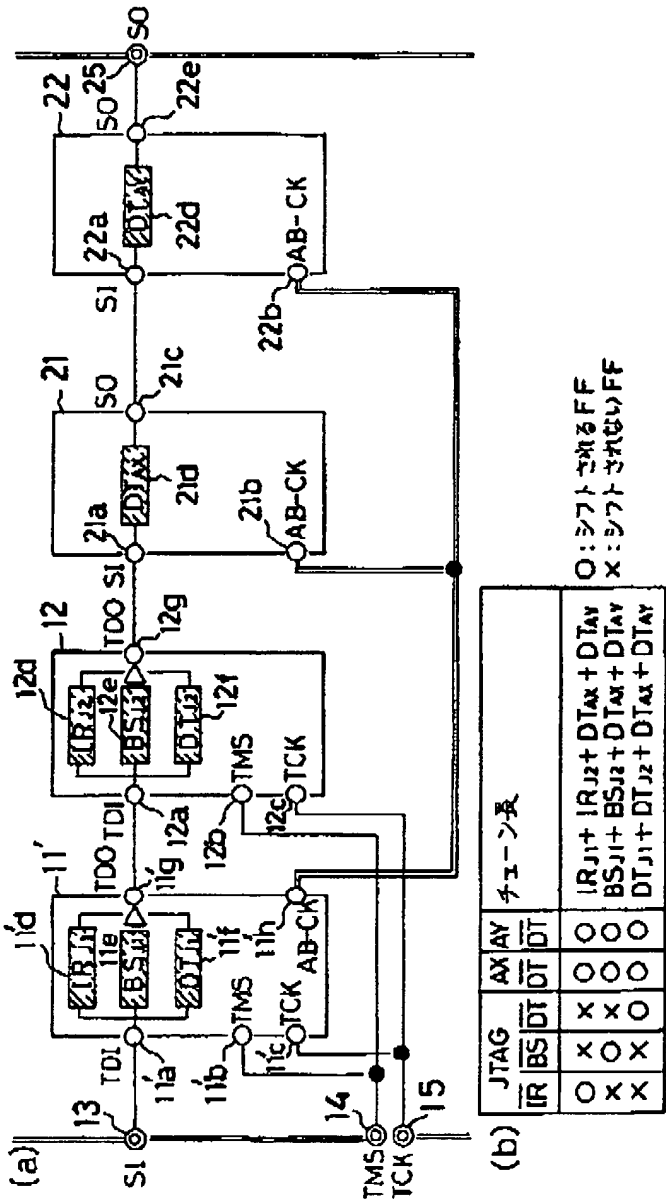


(8)

特開平6-66884

【図2】

本発明の第1の実施例を示す図

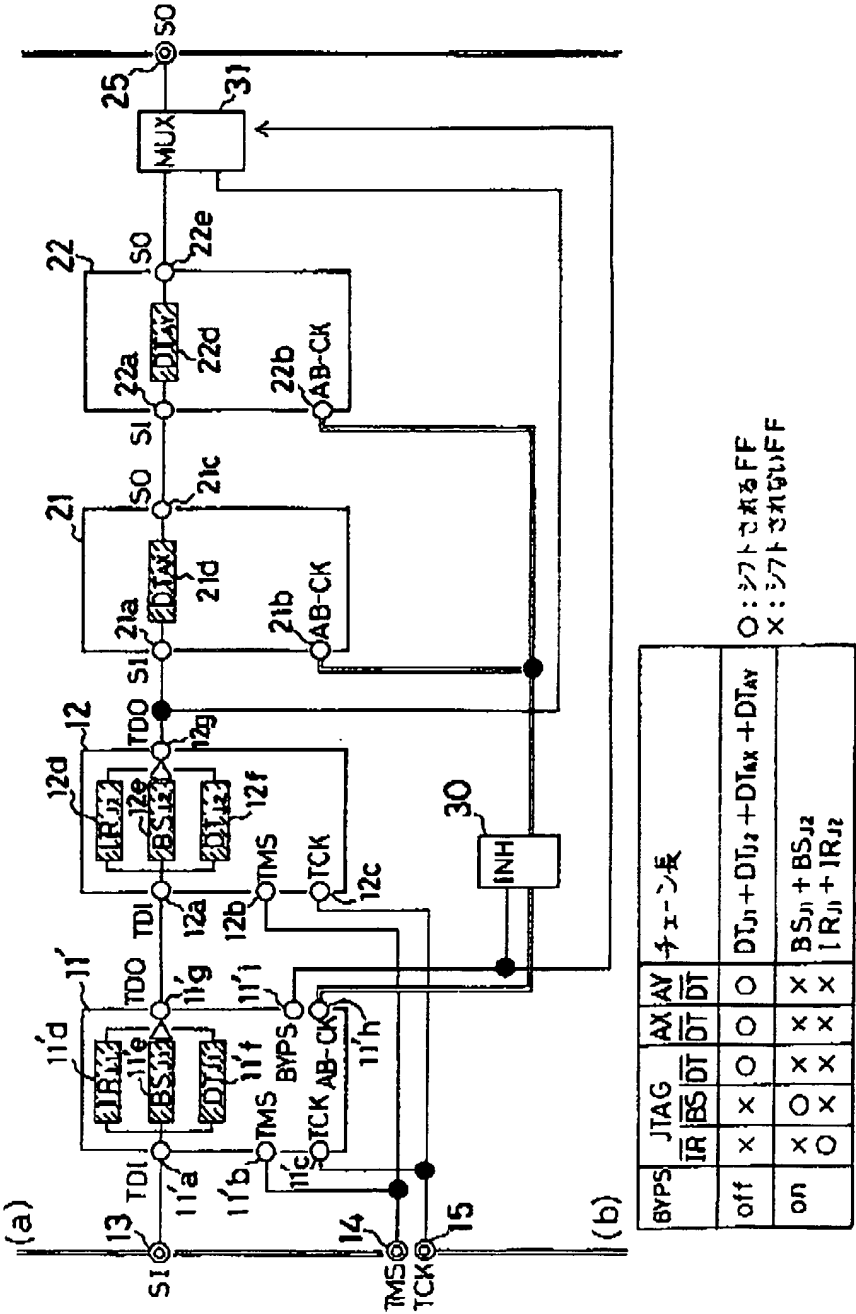


(9)

特開平6-66884

【図3】

本発明の第2の実施例を示す図

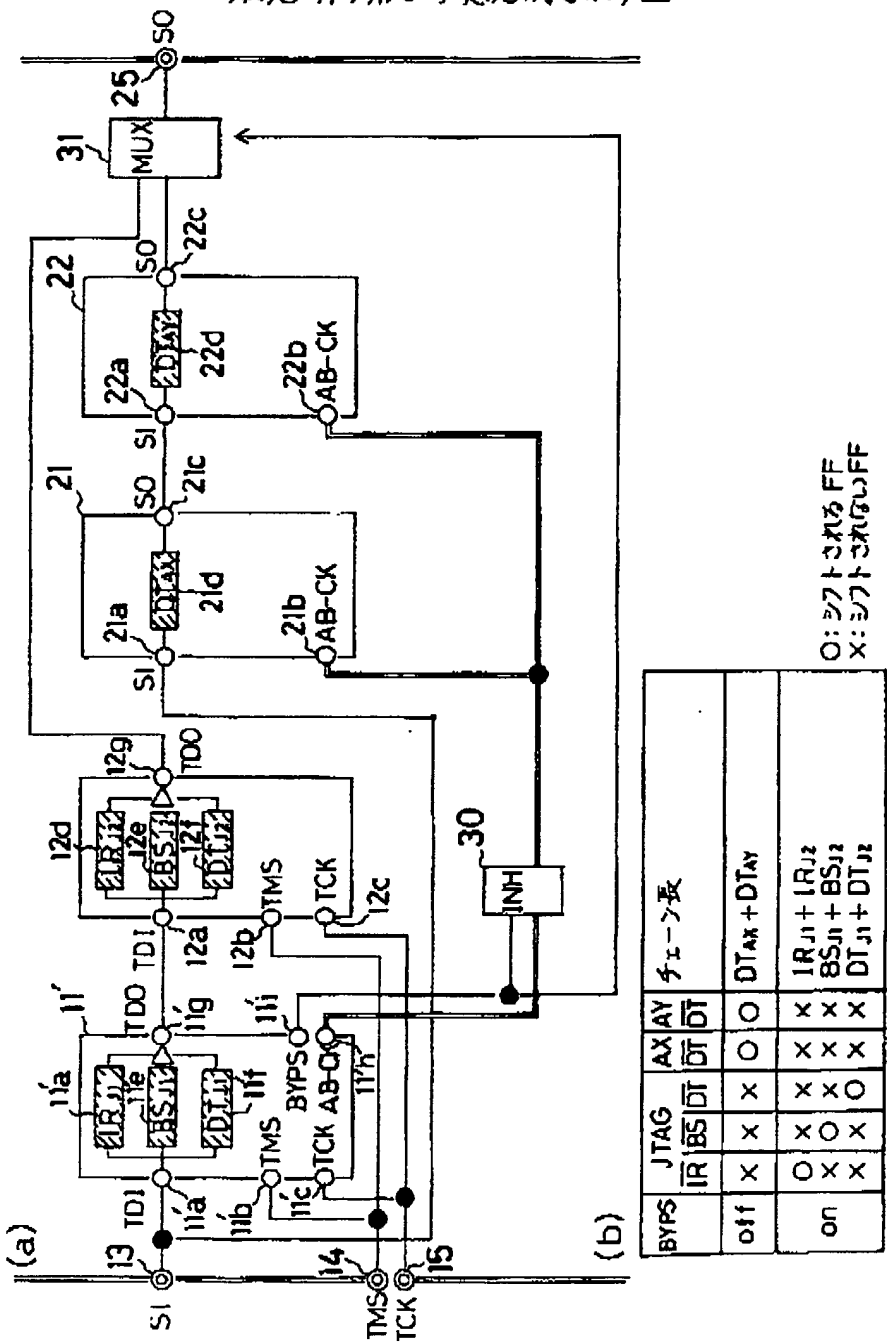


(10)

特開平6-66884

【図4】

本発明の第3の実施例を示す図

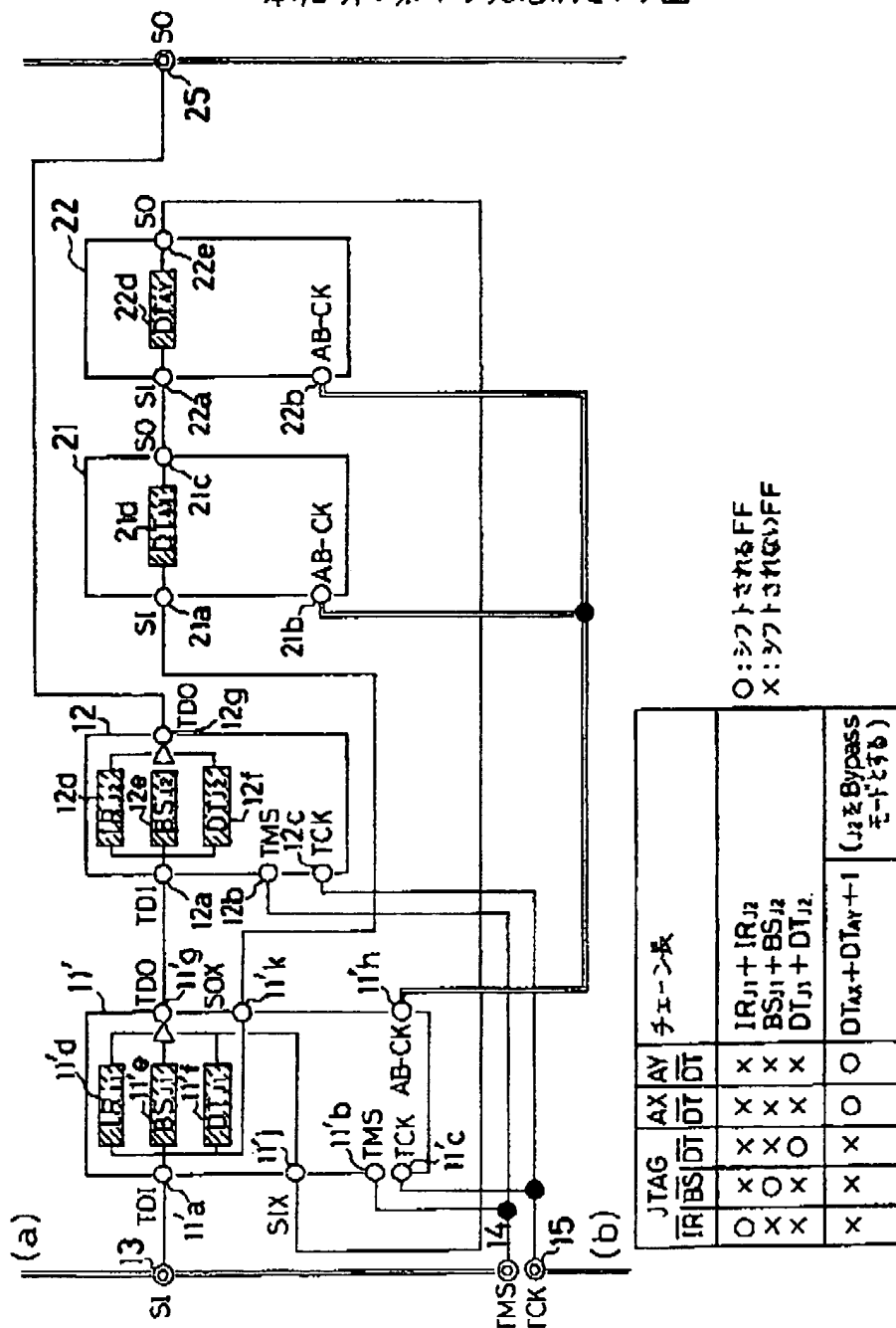


(11)

特開平6-66884

【図5】

本発明の第4の実施例を示す図

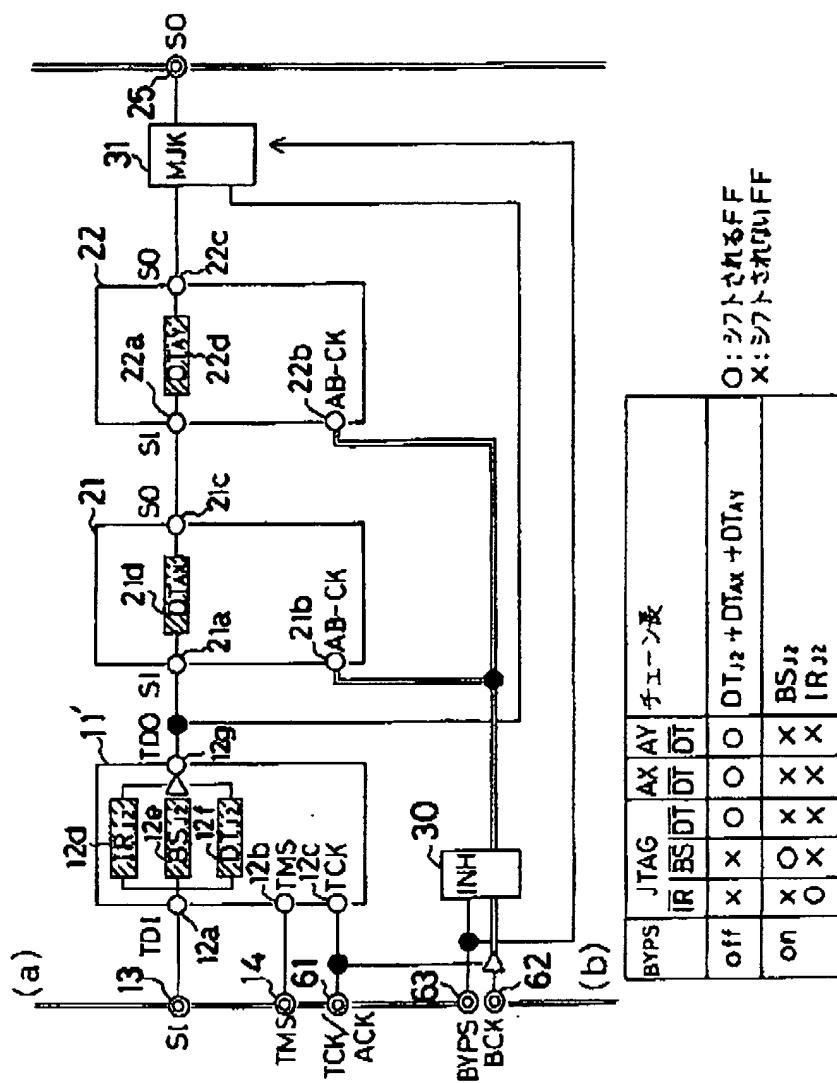


(12)

特開平6-66884

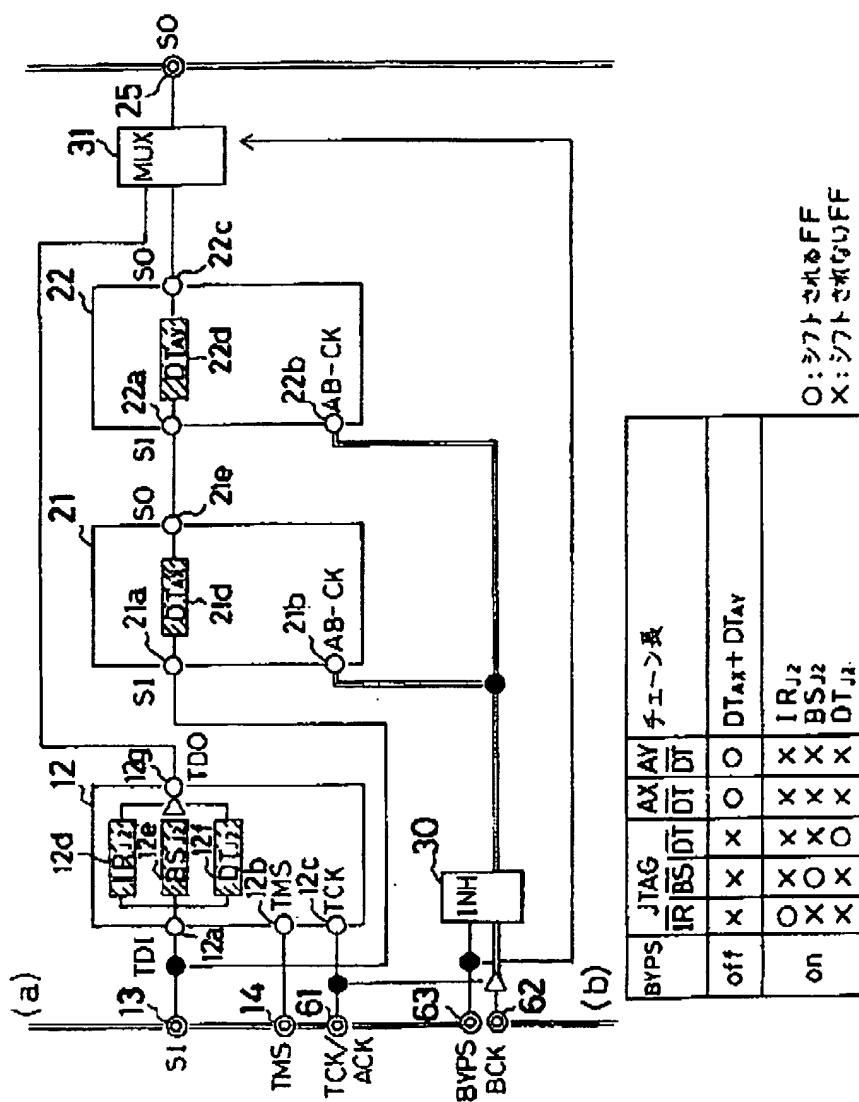
【図7】

本発明の第6の実施例を示す図



特開平6-66884

本発明の第7の実施例を示す図

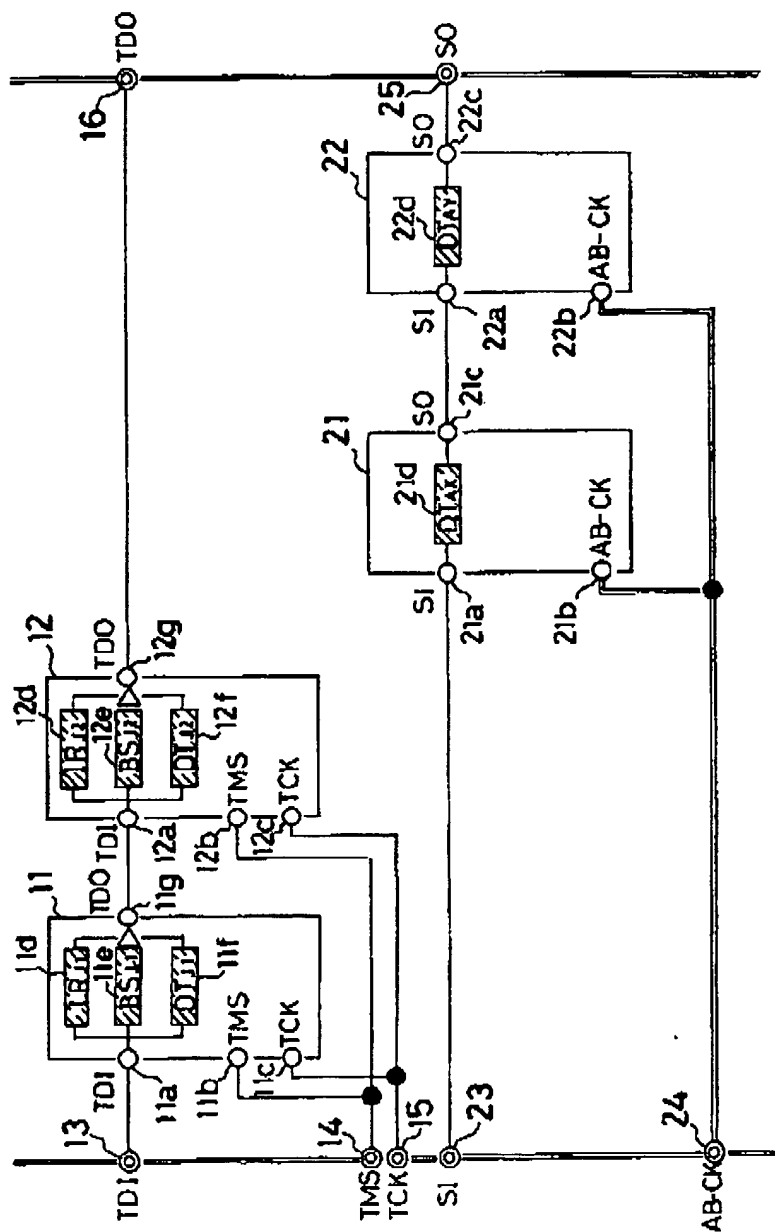


(14)

特開平6-66884

【図9】

従来例を示す図



ていることが前提となっています。

テストデータは、あらかじめPRELOAD命令によって、バウンダリスキャンレジスタにセットしておき、内部レジスタへ与えます。この命令は、テストモードで実行されるため、バウンダリスキャンレジスタは内部ロジックとのデータのやりとりのみが可能であり、デバイスの入出力ピンは非動作状態となっています。

EXTTEST命令と同じように、INTEST動作中におけるバウンダリスキャンレジスタの内容を変更するには、PRELOAD命令を用いて行います。その場合のバウンダリスキャンレジスタとのやりとりのタイミングを、図2-12に示します。

Capture-DRステートでは、内部ロジックからの出力データからバウンダリスキャンレジスタへ取り込み、Update-DRステートではバウンダリスキャンレジスタの内容が内部ロジックへの入力データとなります。

この命令の機能を利用して、ICE(インサーキットエミュレータ)と同様の機能を実現させたツールも登場しています。

#### ● RUNBIST(Run Built-In Self Test)命令(オプショナル命令)

デバイス自身が内蔵している自己診断を実行させるオプシジョン命令です。この命令を用いると、複雑なテストデータを作成する必要がなく、またINTEST命令のようにシングルステップモードでの実行を必要としないなどの特徴があります。

このテストの実行は、TAPコントローラの Run-Test/Idleステートで行われます。テスト結果はINTEST命令と同様にバウンダリスキャンレジスタにセットされるので、TDOからシフト出力させて取り出し、期待値と比較することになります。

#### ● IDCODE命令(オプショナル命令)

これは、デバイスのIDを読み出すための命令です。この命令を利用するには、デバイスがデバイスIDを格納しておくためのIDCODEレジスタを内蔵していることが必要です。IDCODEレジスタの仕様については、すでに図2-3に紹介してあります。

#### ● USERCODE命令(オプショナル命令)

これはユーザプログラム可能な識別コードを、デバイスのIDCODEレジスタにロードするためのオプシジョン命令で、拡張IDCODE機能と云えます。このコードは、IDCODE命令によって読み出し、テストすることができます。

## 第3章 JTAGテストの機能

JTAGテストを実施するためには、どのようなテストシステムが必要なのか、そして、JTAG対応デバイスを実装した基板に対して、どのような内容のテストが行えるのでしょうか。本章では、これらについて説明しましょう。

### 3.1 テストシステムの構成

パソコンを用いて、JTAGテストを行うテストシステムの構成例について、その概略を紹介します。

図3-1 JTAGテストシステムの構成例

